

1/5/4

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

04781528

SELF-MATCHING SILICIDE PROCESS

PUB. NO.: 07-074128 [ JP 7074128 A]

PUBLISHED: March 17, 1995 (19950317)

INVENTOR(s): MEERUDATSUDO MOSUREHI

APPLICANT(s): TEXAS INSTR INC <TI> [000741] (A Non-Japanese Company or Corporation), US (United States of America)

APPL. NO.: 06-096365 [JP 9496365]

FILED: May 10, 1994 (19940510)

PRIORITY: 7-60,774 [US 60774-1993], US (United States of America), May 11, 1993 (19930511)

INTL CLASS: [6] H01L-021/28; H01L-029/78; H01L-021/336

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-74128

(43) 公開日 平成7年(1995)3月17日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/28	3 0 1 S	7376-4M		
29/78				
21/336				
		7514-4M	H 0 1 L 29/ 78	3 0 1 P
審査請求 未請求 請求項の数 2 O L (全 8 頁)				

(21) 出願番号 特願平6-96365

(22) 出願日 平成6年(1994)5月10日

(31) 優先権主張番号 0 6 0 7 7 4

(32) 優先日 1993年5月11日

(33) 優先権主張国 米国 (U S)

(71) 出願人 590000879

テキサス インストルメンツ インコーポ  
レイテッドアメリカ合衆国テキサス州ダラス、ノース  
セントラルエクスプレスウェイ 13500

(72) 発明者 メールダッド モスレヒ

アメリカ合衆国カリフォルニア州マウンテ  
イン ビュー, ビー. オー. ボックス  
4903

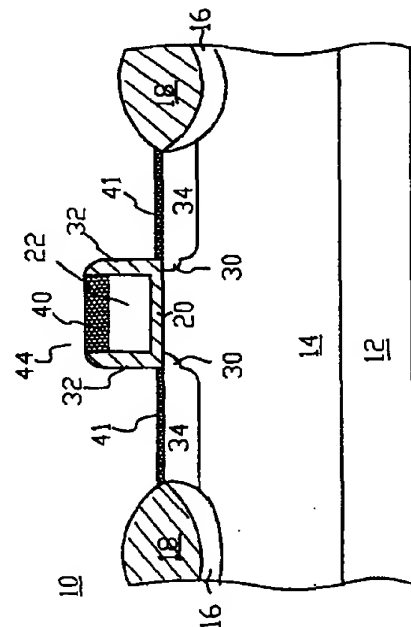
(74) 代理人 弁理士 浅村 皓 (外3名)

(54) 【発明の名称】 自己整合シリサイド工程

(57) 【要約】

【目的】 ソース/ドレイン接合領域の上およびゲート領域の上に、厚さの異なるシリサイドを作成することができる、自己整合シリサイド工程の方法と装置を提供する。

【構成】 半導体材料体が、基板の中に不純物が添加されたウエルを有し、この不純物が添加されたウエルの中のチャンネル停止領域の上に、フィールド絶縁体領域が配置される。この不純物が添加されたウエルの中に、ソース/ドレイン接合が注入される。ソース/ドレイン接合の表面がシリサイド化される。シリサイド・ゲートは、ゲート絶縁体層により、不純物が添加されたウエルの表面から分離される。シリサイド・ゲートは、シリサイド層および不純物が添加されたポリシリコン層を有する。窒化シリコン側壁スペーサは、シリサイド・ゲートの側壁端部およびトランジスタ・チャンネル領域を、ソース/ドレイン接合シリサイド層から分離する。



1

## 【特許請求の範囲】

【請求項1】 (イ) ソース／ドレイン領域の上に薄い窒化物層を作成する段階と、

(ロ) 前記薄い窒化物層とゲート領域との上に耐火性の金属の層を沈着する段階と、

(ハ) 第1厚さが第2厚さより大きいとして、前記ゲート領域の上に第1厚さの第1シリサイド層を形成するために、かつ、前記ソース／ドレイン領域の上に第2厚さを有する第2シリサイド層を形成するために、耐火性金属の前記層を焼き鈍す段階と、

を有する、ソース／ドレイン接合領域とゲート領域との上に異なる厚さのシリサイドを作成する自己整合シリサイド工程方法。

【請求項2】 (i) 第1厚さの第1シリサイド層を有するシリサイド化されたゲートと、

(i i) 前記シリサイド化されたゲートの側壁端部の上の窒化シリコンの側壁スペーサと、

(i i i) 前記第1厚さが第2厚さよりも大きいとして、第2厚さの第2シリサイド層を有するシリサイド化されたソース／ドレイン接合と、  
を有するトランジスタを備えた、自己整合シリサイド化半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、全体的にいえば、半導体装置の製造技術に関する。さらに詳細にいえば、本発明は、自己整合シリサイド工程に関する。

## 【0002】

【従来の技術およびその問題点】 集積回路においてさらに複雑な機能とさらに高度の特性に対する要請が増大しているため、装置構造体の寄生抵抗素子をできるだけ小さくすることが必要である。寄生抵抗値を小さくするために開発された1つの方法は、自己整合シリサイド装置構造体を利用することである。従来の自己整合シリサイド装置構造体は、ソース／ドレイン接合領域および絶縁されたポリシリコン・ゲート領域の上に作成された、抵抗値の小さなシリサイド層を有する。典型的には、チタンのような耐火金属の層が沈着され、そして、窒素雰囲気中で反応が行われる。すると、チタンは窒素と反応して、窒化チタン ( $TiN$ ) の層が形成される。さらに、露出したシリコン領域の上で、チタンがシリコンと反応し、そして、シリコンを消費してシリサイド ( $TiSi_x$ ) が形成される。 $TiN$  の層が選択的に除去され、抵抗値の小さな寄生抵抗素子を有するシリサイド化されたソース／ドレイン接合と、シリサイド化されたポリシリコン・ゲートが作成される。

【0003】 シリサイドは、トランジスタのゲート領域を作成するのに通常用いられる、不純物が添加されたポリシリコンよりも、はるかに小さなシート抵抗値を有する。その結果、ゲート領域がシリサイド化される時、シ

2

リサイドは抵抗値の大きなポリシリコンを分路する。したがって、シリサイド化されたゲート構造体は、シリサイドの電気的分路効果により、小さな寄生ゲート抵抗値を有し、および、小さなゲート伝搬遅延を有する。さらに、シリサイド化されたソース／ドレイン接合はまた小さな寄生抵抗値を有し、そして、その結果、小さな直列抵抗値により、外因性の大きなトランスコンダクタンス値が得られる。寸法が0.5ミクロン以下である場合の技術では、ドレイン誘起の障壁の低下 (DIBL) およびパンチ・スルー漏洩のような短絡チャンネル効果を小さくするために、ソース／ドレイン接合はさらに浅くなる。このことは、ソース／ドレイン接合領域のシリサイド化により許容することができるシリコン消費の量を、制限することになる。このことはまた、許容可能な最小接合深さに対し、1つの制限を与えることになる。

【0004】 先行技術による自己整合 (SALICIDE) 工程およびシリサイド化接触体工程は、最初に沈着される耐火金属の厚さを小さくすることにより、接合の漏洩を制御する。けれども、最初の耐火金属の厚さを小さくすることは、寄生ソース／ドレインの過剰な抵抗値、および、トランスコンダクタンス値の劣化、を生ずる結果をもたらす。また別のいくつかの技術では、 $TiSi_2/Si$  界面の粗さを改善するために、反応工程の前に、最初のチタンとシリコンとの間に酸化物層を使用する。けれども、この方式は、シリサイド膜の中に酸素を導入するという欠点を有する。このことは好ましくない。それは、このことにより、シリサイドの抵抗率が増大するからである。さらに、この方法は、高特性技術に対し、十分に厚いシリサイドが要求される時、シリコンの過剰消費という問題点を解決していない。

## 【0005】

【問題点を解決するための手段】 全体的にいえば、および、本発明の1つの方式では、ソース／ドレイン接合領域およびゲート領域の上に、厚さの異なるシリサイドを作成することが可能な、自己整合シリサイド工程が開示される。薄い窒化物層がソース／ドレイン領域の上に作成される。次に、この薄い窒化物層の上に、耐火性金属の層が沈着される。最後に、この耐火性金属の層が焼き鈍しされて、ゲート領域の上に第1シリサイド層が作成され、および、ソース／ドレイン領域の上に第2シリサイド層が作成される。ゲート領域の上の第1シリサイド層は、薄い窒化物層により、ソース／ドレイン領域の上の第2シリサイド層よりも厚い。

【0006】 本発明の1つの実施例では、第1誘電体層 (ゲート誘電体) が半導体材料体の表面上に作成され、および、ポリシリコン層が第1誘電体層の上に作成される。次に、第2誘電体層がポリシリコン層の上に作成される。第2誘電体層とポリシリコン層がエッチングされ、側壁端部を有するポリシリコン・ゲートが作成される。ポリシリコン・ゲートの側壁端部の上に、窒化シリ

3

コン側壁スペーサが作成される。装置の側壁スペーサに隣接する半導体材料体の表面内に、ソース／ドレイン接合が作成される。ソース／ドレイン接合の上に配置された第1誘電体層の部分が除去され、そして、薄い窒化物層で置き換えられる。次に、第2誘電体層が除去される。ポリシリコン層の上に、第1シリサイド層が作成され、および、ソース／ドレイン接合領域の上に、第2シリサイド層が作成される。第1（ゲート）シリサイド層は、第2（ソース／ドレイン）シリサイド層よりも厚い。

【0007】本発明の1つの利点は、ゲート・シリサイドの厚さとソース／ドレイン・シリサイドの厚さとを独立に制御することが可能な、自己整合シリサイド化工程が得られることである。

【0008】本発明のまた別の利点は、反応工程のパラメータを変更することなく、ソース／ドレイン接合の上のシリコンの消費を制御することができる、自己整合シリサイド化工程が得られることである。

【0009】本発明のさらに別の利点は、極めて薄いソース／ドレイン接合と両立可能な、自己整合シリサイド化工程が得られることである。

【0010】本発明のこの他の利点は、添付図面を参照しての下記説明により、当業者にはすぐに分かるであろう。

【0011】

【実施例】下記図面において、図面は異なっても対応する部品には、特に断らない限り、対応する番号および記号が付されている。

【0012】本発明による自己整合シリサイド化工程は、相補形金属・酸化物・半導体（CMOS）工程を用いて製造された、Nチャンネル絶縁ゲート電界効果トランジスタ（IGFET）に組み込まれるものとして説明される。もちろん、本発明による自己整合シリサイド化工程は、MOS技術、BiCMOS技術、または、CMOS技術により構成される種々の形式のトランジスタに組み込むことができる。本発明による自己整合シリサイド化工程が組み込まれたこれらのトランジスタのおおのほは、それぞれに利点を有している。本発明の概念はまた、バイポーラ・トランジスタ技術にも応用することができる。

【0013】図1は、好ましい実施例の自己整合シリサイド構造体の図面である。半導体材料体10は、基板12の中に作成されたP形ウエル14を有する。フィールド絶縁体領域18が、P形ウエル14の中のオプションのチャンネル停止領域16の上に配置される。フィールド絶縁体領域18は、典型的には、酸化シリコン材料で構成される。けれども、チャンネル停止領域16はオプションであり、本発明を実施するのに必ずしも必要ではないことを断っておく。P形ウエル14の中に、ソース／ドレイン接合34が作成される。ソース／ドレイン接

4

合34は、好ましい実施例では、（NチャンネルIGFETの場合）N形領域である。けれども、Pチャンネル・トランジスタを作成する場合には、当業者にはすぐに分かるように、ソース／ドレイン接合34はN形ウエルの中に配置されたP形領域であることができる。本発明の1つの利点は、ソース／ドレイン接合34が浅いことが可能であることである。それは、IGFETゲート導電率を損なうことなく、シリコンの消費量を制御することができるからである。したがって、短チャンネル効果に付随する種々の問題点が緩和される。

【0014】シリサイド化ゲート44は、ゲート誘電体層20により、P形ウエル14の表面から分離される。シリサイド化ゲート44は、シリサイド層40と、不純物が添加されたポリシリコン層22とを有する。シリサイド層40は、先行技術によるシリサイド化工程におけるよりも厚くすることができる。それは、ゲート・シリサイド層40の厚さは、ソース／ドレイン接合34の上にシリサイド41を作成する場合、消費することが許容されるシリコンの量に制限があるが、この場合にはこのような制限がないからである。側壁スペーサ32はゲート44の垂直の端部を絶縁し、そして、接合シリサイド41をIGFETチャンネル領域から分離する。側壁スペーサ32は、好ましい実施例では、（ポリシリコンをまた用いることができるけれども）窒化シリコンで構成される。

【0015】図2aは、P形ウエル14と、チャンネル停止領域16と、フィールド絶縁体領域18とが形成された後の、シリコン基板12を備えた半導体材料体10の横断面図である。図2aの構造体の中に、自己整合シリサイド化ゲートを作成する工程が、下記で説明される。

【0016】図2bに示されているように、ゲート誘電体層20が、P形ウエル14の表面上に、300オングストローム～3000オングストローム（例えば、0.25μm技術の場合には60オングストローム）の程度の厚さにまで熱的に成長される。ゲート誘電体層20を作成する酸化物沈着のような他の方法は、当業者にはよく知られているであろう。次に、ゲート誘電体層20の上に、ポリシリコン層22が、化学蒸気沈着（CVD）技術により、2000オングストローム～4000オングストロームの程度の厚さに沈着される。ポリシリコン層22の上に、誘電体層24が、例えば低圧化学蒸気沈着（LPCVD）技術により、200オングストローム～1000オングストロームの程度の厚さに沈着される。誘電体層24を沈着するための、プラズマにより増強された化学蒸気沈着（PECVD）技術のような他の方法は、当業者にはよく知られているであろう。次に、後で除去することができる誘電体層24と、ポリシリコン層22とが、マイクロリソグラフィと異方性プラズマ・エッチングにより、パターンに作成され、それにより、図

5

2cに示されたような、ポリシリコン・ゲート構造体26が作成される。このようなエッチングの方法は、当業者にはよく知られている。

【0017】図2dに示されているように、少量の不純物が添加されたドレイン(LDD)接合30が、イオン注入により、オプションで作成することができる。LDD接合30は、ポリシリコン・ゲート構造体26およびフィールド絶縁体領域18と、自己整合しているであろう。LDD接合30はまた、第1誘電体スペーサ(図示されていない)の作成の後、イオン注入により作成することができる。図2eに示されているように、側壁スペーサ32を従来の技術で作成することができる。例えば、窒化シリコンの層を沈着し、そして、異方性エッチングを行うことにより、側壁スペーサ32を作成することができる。次に、オプションの酸化段階を行うことにより、ソース/ドレイン領域の上に、薄い(50オングストローム~100オングストローム)酸化物(図示されていない)を成長させることができる。次に、ソース/ドレイン接合34が(例えば、リン、および/または、ヒ素の注入により)作成され、その後、成長されたオプションの薄い酸化物(図示されていない)が、選択された時間の酸化物エッチングにより、除去される。ソース/ドレイン接合34は、側壁スペーサ32およびフィールド絶縁体領域18と自己整合する。

【0018】下記の工程段階は、真空集積クラスター・ツールを用いて実行することが好ましい。図2fに示されているように、ソース/ドレイン領域34の上にあるすべての自然の酸化物層が、例えば、その場での気相HFを用いて、または、低温の適切な洗浄法を用いて、除去される。その後、極めて薄い(例えば、8オングストローム~40オングストローム)熱的窒化物層36が、ソース/ドレイン領域の上に成長される。窒化物層36は、アンモニア雰囲気中で、そして、700℃~1000℃の温度で、15秒~200秒の間、短い高速熱的窒化物生成(RTN)により作成することができる。好ましい実施例では、700℃~900℃の温度で、60秒以下の時間の間、RTNが行われる。窒化物層36は、5オングストローム~20オングストローム程度の厚さを有するであろう。酸化物層24が存在するために、ポリシリコン・ゲート構造体26の表面上に、高密度の窒化物が形成されないことに注目されたい。

【0019】図2gに示されているように、例えば、気相HF選択的エッチングにより、酸化物層24が除去される。このエッチングは、窒化物層36を除去しないように、選択的でなければならない。その結果、シリコン窒化物側壁スペーサ32もまたエッチングされないであろう。熱的窒化物層36は非常に高密度であり、そして、HFを基本とする酸化物除去工程のエッチングに対し、比較的耐性を有する。

【0020】次に、図2hに示されているように、半導

6

体材料体10の上に、チタンまたはコバルトのような耐火性の金属層38が、スパッタ沈着法を用いて沈着される。好ましい実施例では、耐火性金属としてチタンが用いられる。図2iに示されているように、自己整合シリサイド工程、すなわち、「SALICIDE」工程が実行される。この工程は、窒素を含有する雰囲気中で、高速熱的焼き鈍しまたは炉焼き鈍しを利用することを含んでいる。アンモニア(NH<sub>3</sub>)の雰囲気を用いることができることは、当業者にはすぐに分かるであろう。シリコンと耐火性金属層38との反応により、シリサイドが作成される。シリコンがない場所では、耐火性金属層38は窒素雰囲気と反応し、窒化チタン(TiN)を形成する。ソース/ドレイン接合34の上の窒化物層36が極めて薄いために、ソース/ドレイン接合34の上で(シリサイドになるよりはむしろ)窒化物になる。窒化物層36とチタンとの反応は遅いが、最終的には、少量のシリコンを消費して、ソース/ドレイン接合34の上にシリサイド層41を形成するであろう。窒化物層36は、シリサイド反応の中に窒素を導入するだけであるであろう。このことは、酸化物の汚染に関して非常に好ましいことである。その結果、シリサイド化されたソース/ドレイン接合は、先行技術よりも、小さな抵抗率を有し、かつ、滑らかなシリサイド/シリコン界面を有するであろう。耐火性金属層38とポリシリコン・ゲート構造体26との反応により、シリサイド層40が形成され、それにより、シリサイド化されたゲート44の作成が完了する。窒化チタン(TiN)層42が、フィールド絶縁体領域18およびシリサイド化されたソース/ドレイン領域34の上に、SALICIDE工程の期間中に作成される。いくつかの未反応のチタン(図示されていない)がまた、これらの表面上に残るかも知れない。最後に、TiN層42およびすべての未反応のチタンが、メガソニック・エッチングのような選択的エッチングを用いて、除去される。

【0021】前記の方法が完了した後、ゲートと、ソース/ドレイン接合34と、他の素子(図示されていない)との間の相互接続を、半導体材料体10の中に作成することができる。例えば、図3aに示されているように、中間レベルの誘電体層46を半導体材料体10の表面上に沈着することができる。次に、シリサイド化されたソース/ドレイン接合34に対する接触体を作成するために、接触体ホール58が、中間レベルの誘電体層46にまでエッチングされる。接触体ホール58がエッチングされている間、ソース/ドレイン接合34の上のシリサイドの一部分がまた、エッチングにより除去される。したがって、シリサイド化された接触体が好ましいであろう。チタンのような耐火性金属の層48が、図3bに示されているように、表面の上に沈着される。図3cに示されているように、ソース/ドレイン接合34およびTiN52の表面上に、シリサイド接触体50を形

7

成するため、シリサイドの反応が前記のように実行される。耐火性金属層48の全部がソース／ドレイン接合34と反応するわけではないから、シリサイド接触体50は、シリサイドの層とTiNの層とで構成される。最後に、図3dに示されているように、アルミニウムのような導電材料の層60が、半導体材料体10の表面上に沈着され、そして、パターンに作成され、そして、エッチングされる。それにより、ソース／ドレイン接合34と他の装置（図示されていない）との間の相互接続が作成される。

【0022】前記の方法の後、他の素子およびそれらの間の接続を、半導体材料体10の中に作成することができる。このことを達成する方法は、当業者にはよく知られている。その後、個々の素子が基板12のそれぞれの部分から分離され、そして、当業者にはよく知られているように、導線接合や直接のバンパ接合およびそれらと同等の方法により、それらへの外部接続が行われる。次に、個々の回路を、デュアル・イン・パッケージ、チップ・キャリア、または、他の形式のパッケージの中に、封止することができる。このようなパッケージの1つの例は、1985年1月22日に発行され、そして、テキサス・インスツルメント社に譲渡された、米国特許第4,495,376号に開示されている。

【0023】前記において、いくつかの好ましい実施例が詳細に開示された。本発明の範囲は、前記実施例とは異なるが請求項の範囲に入る実施例をすべて包含するものであることを断っておく。

【0024】例示された実施例を参照して本発明が説明されたが、これは本発明がこれらの実施例に限定されることを意味するものではない。例示された実施例を種々に変更した実施例、および、それらを種々に組み合わせた実施例の可能であることは、当業者には前記説明からすぐに分かるであろう。したがって、本発明はこのような変更された実施例のすべてを包含するものと理解しなくてはならない。

【0025】以上の説明に関して更に以下の項を開示する。

(1) (イ) ソース／ドレイン領域の上に薄い窒化物層を作成する段階と、(ロ) 前記薄い窒化物層とゲート領域との上に耐火性の金属の層を沈着する段階と、(ハ) 第1厚さが第2厚さより大きいとして、前記ゲート領域の上に第1厚さの第1シリサイド層を形成するために、かつ、前記ソース／ドレイン領域の上に第2厚さを有する第2シリサイド層を形成するために、耐火性金属の前記層を焼き鈍す段階と、を有する、ソース／ドレイン接合領域とゲート領域との上に異なる厚さのシリサイドを作成する自己整合シリサイド工程の方法。

【0026】(2) (イ) 半導体材料体の表面上にゲート誘電体を作成する段階と、(ロ) 前記ゲート誘電体の表面上にポリシリコン層を作成する段階と、(ハ) 前記

8

ポリシリコン層の上に誘電体キャップ層を作成する段階と、(ニ) 側壁端部を有するポリシリコン・ゲートを作成するために、前記誘電体キャップ層および前記ポリシリコン層をエッチングする段階と、(ホ) 前記側壁端部の上に窒化シリコン側壁スペーサを作成する段階と、

(ヘ) 前記窒化シリコン側壁スペーサに隣接する前記半導体材料体の前記表面の中にソース／ドレイン接合を作成する段階と、(ト) 前記ゲート誘電体の第1部分で、かつ、前記ソース／ドレイン接合の上に配置された前記第1部分を、除去する段階と、(チ) 前記ソース／ドレイン接合の上に薄い窒化物層を作成する段階と、(リ) 前記誘電体キャップ層を除去する段階と、(ヌ) 第1シリサイド層が第2シリサイド層よりも厚いとして、前記ポリシリコン層の上に第1シリサイド層を作成し、かつ、前記ソース／ドレイン領域の上に第2シリサイド層を作成する段階と、を有する、自己整合シリサイド工程の方法。

【0027】(3) 第2項記載の方法において、(イ) 前記薄い窒化物層と、前記窒化物側壁スペーサと、前記ポリシリコン・ゲートとの上に耐火性金属の第1層を沈着する段階と、(ロ) 第1シリサイド層が第2シリサイド層よりも厚いとして、前記ポリシリコン・ゲートとの上にシリサイドの前記第1層を作成するために窒素を含有する雰囲気中で耐火性金属の前記第1層を焼き鈍し、かつ、シリサイドの前記第2層と前記窒化物側壁スペーサとの上の耐火性金属窒化物の第1層を焼き鈍す段階と、(ハ) 耐火性金属窒化物の前記第1層を除去する段階と、を、前記第1シリサイド層および前記第2シリサイド層を作成する前記段階が有する、前記方法。

【0028】(4) 第3項記載の方法において、耐火性金属の前記第1層がチタンを有する、前記方法。

(5) 第2項記載の方法において、前記第1シリサイド層および前記第2シリサイド層が1つのシリサイド化反応段階で作成される、前記方法。

(6) 第2項記載の方法において、前記誘電体キャップ層を作成する前記段階が、200オングストロームないし500オングストロームの範囲の厚さを有するLPCVD酸化物層沈着段階を有する、前記方法。

(7) 第2項記載の方法において、前記窒化シリコン側壁スペーサを作成する前記段階の前に、少量の不純物を含有するドレインを作成する段階をさらに有する、前記方法。

【0029】(8) 第2項記載の方法において、前記薄い窒化物層を作成する前記段階が、700℃～1000℃のアンモニア雰囲気中で15秒～200秒間急速な熱的窒素化合物化段階を有する、前記方法。

(9) 第2項記載の方法において、前記薄い窒化物層が5オングストローム～20オングストロームの範囲の厚さを有する、前記工程方法。

(10) 第2項記載の方法において、(イ) 前記第1窒

化物層および前記第2窒化物層を作成する前記段階の後、前記半導体材料体の上に中間レベルの誘電体層を作成する段階と、(ロ)前記ソース/ドレイン接合の上に前記中間レベル誘電体層の一部分をエッチングする段階と、(ハ)前記ソース/ドレイン接合の上にそれぞれシリサイド接触体を作成する段階と、(ニ)前記シリサイド接触体に接続するために複数の相互接続線を作成する段階と、をさらに有する、前記方法。

(11)第10項記載の方法において、前記シリサイド接触体を作成する前記段階が(イ)前記中間レベル誘電体層と前記ソース/ドレイン接合との上に耐火性金属の第2層を沈着する段階と、(ロ)前記ソース/ドレイン接合の上にシリサイドの第3層を作成しかつ前記中間レベル誘電体層の上に窒化チタンの第2層を作成するために、窒素を含有する雰囲気中で耐火性金属の前記第2層を焼き鈍す段階と、を有する、前記方法。

【0030】(12)(イ)半導体材料体の表面の上に二酸化シリコンの層を成長する段階と、(ロ)前記誘電体層の表面の上にポリシリコン層を沈着する段階と、

(ハ)前記ポリシリコン層の上に200オングストロームないし500オングストロームの範囲の厚さを有するLPCVD酸化物層を沈着する段階と、(ニ)側壁端部を有するポリシリコン・ゲートを作成するために、前記LPCVD酸化物層および前記ポリシリコン層をエッチングする段階と、(ホ)前記ポリシリコン・ゲートに隣接する前記半導体材料体の前記表面の中に少量の不純物が添加されたドレインを作成する段階と、(ヘ)前記側壁端部の上に窒化シリコン側壁スペーサを作成する段階と、(ト)前記窒化シリコン側壁スペーサに隣接する前記半導体材料体の前記表面の中にソース/ドレイン接合領域を作成する段階と、(チ)前記二酸化シリコン層の第1部分で、前記ソース/ドレイン接合領域の上に配置された前記第1部分を、選択的にエッチングする段階と、(リ)前記ソース/ドレイン接合領域の上に5オングストローム〜20オングストロームの範囲の厚さを有する薄い窒化物層を熱的に成長する段階と、(ヌ)前記LPCVD酸化物層を除去する段階と、(ル)前記薄い窒化物層と、前記窒化シリコン側壁スペーサと、前記ポリシリコン・ゲートとの上に耐火性金属の第1層を沈着する段階と、(オ)前記第1シリサイド層が前記第2シリサイド層よりも厚いとして、前記ポリシリコン・ゲートの上にシリサイドの第1層を作成しかつ前記ソース/ドレイン接合の上にシリサイドの第2層を作成しかつシリサイドの前記第2層および前記窒化シリコン側壁スペーサの上に耐火性金属窒化物の第1層を作成するために、窒素を含有する雰囲気中で耐火性金属の前記第1層を焼き鈍す段階と、(ワ)耐火性金属窒化物の前記第1層を除去する段階と、を有する、自己整合シリサイド工程の方法。

【0031】(13)第12項記載の方法において、耐

火性金属の前記第1層がチタンを有する、前記方法。

(14)第12項記載の方法において、前記薄い窒化物層を作成する前記段階が700℃〜1000℃のアンモニア雰囲気中で15秒〜200秒間の急速窒素化合物化段階を有する、前記方法。

(15)第12項記載の方法において、(イ)前記第1シリサイド層および前記第2シリサイド層を作成する前記段階の後、前記半導体材料体の上に中間レベルの誘電体層を作成する段階と、(ロ)前記ソース/ドレイン接合領域の上に前記中間レベル誘電体層の一部分をエッチングする段階と、(ハ)前記ソース/ドレイン接合領域の上にそれぞれシリサイド接触体を作成する段階と、

(ニ)前記シリサイド接触体に複数の相互接続線を作成する段階と、をさらに有する、前記方法。

【0032】(16)(i)第1厚さの第1シリサイド層を有するシリサイド化されたゲートと、(ii)前記シリサイド化されたゲートの側壁端部の上の窒化シリコンの側壁スペーサと、(iii)前記第1厚さが第2厚さよりも大きいとして、第2厚さの第2シリサイド層を有するシリサイド化されたソース/ドレイン接合と、を有するトランジスタを備えた、自己整合シリサイド化半導体装置。

(17)第16項記載の装置において、前記トランジスタが絶縁されたゲートの電界効果トランジスタである、前記装置。

(18)第16項記載の装置において、前記シリサイド層がチタン・シリサイドである、前記装置。

(19)第16項記載の装置において、(イ)前記トランジスタの上に配置された中間レベル誘電体層と、

(ロ)前記ソース/ドレイン接合の上に配置されたシリサイド接触体と、(ハ)前記中間レベル誘電体層の上に配置され、かつ、前記シリサイド層と電気的に接触する、相互接続線と、をさらに有する、前記装置。

【0033】(20)ポリシリコン・ゲートおよびソース/ドレイン接合領域に対し異なるシリサイド厚さが可能である、自己整合シリサイド工程が開示される。半導体材料体10は、基板12の中に不純物が添加されたウエル14を有する。この不純物が添加されたウエル14の中のチャンネル停止領域16の上に、フィールド絶縁体領域18が配置される。不純物が添加されたウエル14の中に、ソース/ドレイン接合34が注入される。ソース/ドレイン接合34は、不純物が多量に添加された浅い領域である。ソース/ドレイン接合34の表面が、シリサイド化される。シリサイド・ゲート44は、ゲート絶縁体層20により、不純物が添加されたウエル14の表面から分離される。シリサイド・ゲート44は、シリサイド層40および不純物が添加されたポリシリコン層22を有する。シリサイド層40の厚さは、ソース/ドレイン接合34のシリサイド化された表面の厚さにより、または、これらの接合の上で消費されるシリコンの



12

- \* 1 0 半導体材料体
- 1 2 基板
- 1 4 不純物が添加されたウエル
- 1 6 チヤンネル停止領域
- 1 8 フィールド絶縁体領域
- 2 0 ゲート絶縁体層
- 2 2 不純物が添加されたポリシリコン層
- 3 2 側壁スペーサ
- 3 4 ソース／ドレイン接合
- 4 0 シリサイド層
- 4 1 ソース／ドレイン・シリサイド層
- 4 4 シリサイド・ゲート

【図3】本発明の好ましい実施例の製造工程の横断面図であって、a～dは装置接触体および相互接続体の製造工程の逐次の段階の横断面図。

**\***

A cross-sectional view of a semiconductor device 10. The device consists of a substrate 12 with a layer 14 on top. A central region 20 is defined by two side regions 30. The side regions 30 are separated from the central region 20 by gaps 34. The side regions 30 are further defined by regions 32 and 41. The central region 20 contains a layer 40 and a top layer 44. The side regions 30 are covered by a layer 18, which is part of a larger structure 16. The top layer 44 is shown with a hatched pattern, and the layer 40 is shown with a dotted pattern.

